

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-183234

(43)Date of publication of application : 21.07.1995

(51)Int.Cl. H01L 21/205  
 C23C 16/24  
 C23C 16/44  
 C23C 16/56  
 H01L 21/316

(21)Application number : 05-347645

(71)Applicant : SEMICONDUCTOR ENERGY LAB  
 CO LTD

(22)Date of filing : 24.12.1993

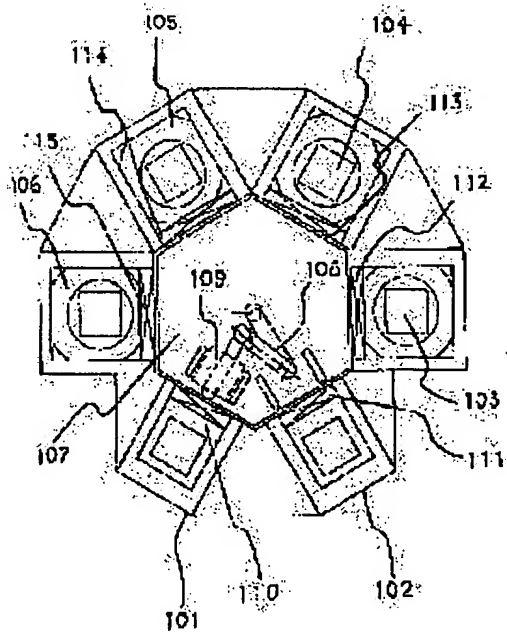
(72)Inventor : OTANI HISASHI  
 SHIMADA HIROYUKI  
 SAKAMA MITSUNORI  
 ABE HISASHI

## (54) MULTIPURPOSE SUBSTRATE TREATING DEVICE, ITS OPERATING METHOD, AND MANUFACTURE OF THIN FILM INTEGRATED CIRCUIT

## (57)Abstract:

PURPOSE: To continuously perform various kinds of treatment, such as the formation of a thin film on a substrate, the annealing of the forced thin film, etc., while the airtightness is secured.

CONSTITUTION: A multipurpose substrate treating device is equipped with a carrying chamber provided with a robot arm 108 for carrying substrates and multiple treating chambers 103-106 connected to each other through the chamber 107 and continuously performs various kinds of treatment while airtightness is secured by transferring substrates 109 in and out from each treating chamber through the chamber 107. At least one of the chambers 103-106 has a silicon film manufacturing function by low-pressure thermal CVD method.



## LEGAL STATUS

[Date of request for examination] 25.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than withdrawal the examiner's decision of rejection or application converted registration]

[Date of final disposal for application] 14.01.2004

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-183234

(43) 公開日 平成7年(1995)7月21日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/205				
C 2 3 C 16/24				
16/44	E			
16/56				
H 0 1 L 21/316	X	7352-4M		
審査請求 未請求 請求項の数 5 F D (全 11 頁)				

(21) 出願番号	特願平5-347645	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成5年(1993)12月24日	(72) 発明者	大谷 久 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	島田 浩行 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	坂間 光範 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

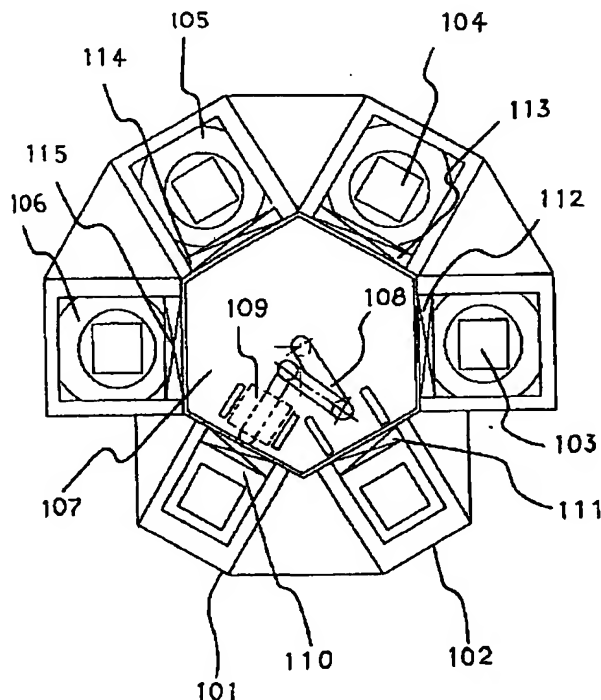
最終頁に続く

(54) 【発明の名称】 多目的基板処理装置およびその動作方法および薄膜集積回路の作製方法

## (57) 【要約】

【目的】 基板上に薄膜を形成したり、形成した薄膜に対してアニールを行ったりする各種処理を機密性を保ったままで連続的に行う。

【構成】 基板を搬送するためのロボットアーム108を備えた搬送室107と、該搬送室を介して連結された複数の処理室(チャンバー)103~106を備え、搬送室を介して基板109を各処理室に搬入搬出することで、必要とする処理を機密性を保持した状態で連続して行う。そして処理室の少なくとも一つが減圧熱CVD法による珪素膜の作製機能を有することを特徴とする。



1

2

## 【特許請求の範囲】

【請求項1】複数の減圧可能な処理室を有し、前記複数の処理室は減圧可能な共通室を介して連結されており、前記共通室には各処理室間において基板を搬送するための手段を有し、前期複数の処理室の内の少なくとも一つは減圧熱CVDによる珪素膜の成膜が可能であることを特徴とする多目的基板処理装置。

【請求項2】複数の減圧可能な処理室を有し、複数の処理室の少なくとも一つは気相反応による成膜機能を有し、複数の処理室の少なくとも一つは光照射によるアニール機能を有し、複数の処理室の少なくとも一つは加熱を行なう機能を有し、前記複数の処理室は減圧可能な共通室を介して連結されており、前記共通室には各処理室間において基板を搬送するための手段を有し、前期複数の処理室の内の少なくとも一つは減圧熱CVDによる珪素膜の成膜が可能であることを特徴とする多目的基板処理装置。

【請求項3】複数の減圧可能な処理室を有し、前記複数の処理室は減圧可能な共通室を介して連結されており、前記共通室には各処理室間において基板を搬送するための手段を有した多目的基板処理装置の動作方法であって、同一圧力に保持された状態において、いずれか一つの処理室に保持された基板を共通室に移送すること、あるいは共通室に保持された基板をいずれか一つの処理室に移送すること及び前記処理室の内の少なくとも一つにおいて減圧熱CVDにより珪素膜の成膜を行なうこと、を特徴とする多目的基板処理装置の動作方法。

【請求項4】珪素半導体層を含めた多層成膜をする工程と、ゲイト絶縁膜を形成する工程と、層間絶縁膜を形成する工程と、を複数の反応容器を有する多目的基板処理装置を用いて処理し、前記工程の内珪素半導体層は減圧熱CVDにより作製された、ことを特徴とする薄膜集積回路の作製方法。

【請求項5】複数の減圧可能な処理室を有し、前記複数の処理室は減圧可能な共通室を介して連結されており、前記共通室には各処理室間において基板を搬送するための手段を有した多目的基板処理装置を用いた薄膜集積回路の作製方法であって、酸化珪素膜を第1の処理室で形成する工程と、

酸化珪素膜を第2の処理室で形成する工程と、珪素膜を減圧熱CVD法で第3の処理室で形成する工程と、酸化形成膜を第4の処理室で形成する工程と、を有する薄膜集積回路の作製方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は基板上あるいは基板表面に多結晶珪素からなる半導体装置を形成する装置に関する。特に外気に曝することなく連続して行なわれる必要のあるプロセスを行なうことのできる装置に関する。また薄膜集積回路の作製に利用することのできる多目的の基板処理装置に関する。

## 【0002】

【従来の技術】半導体基板やガラス基板を用いた集積回路が知られている。前者としてはICやLSIが知られており、後者としてはアクティブマトリックス型の液晶表示装置が知られている。このような集積回路を形成するには、各種プロセスを連続して行なう必要がある。例えば絶縁ゲイト型電界効果半導体装置を形成する場合であれば、チャネルが形成される半導体領域とそれに接して設けられるゲイト絶縁膜とを外部に取り出すことなく連続して形成することが望まれる。また各種プロセスを効率良く連続して行なうことが工業上必要である。

【0003】これらの製造には、一つの装置内で成膜工程を連続して行なうことが望ましいが、従来の製造装置は非晶質珪素を用いた半導体装置を目的とした製造装置、あるいは単結晶珪素を用いた半導体装置を目的とした製造装置しか存在せず、多結晶珪素を用いた半導体装置に適した装置及びそれを用いた製造方法は確立されていなかった。

## 【0004】

【発明が解決しようとする課題】本発明は、多結晶珪素を用いた半導体装置の作製に必要とされる各種プロセスを一つの装置で連続して処理することのできる多目的に利用できる基板処理装置を提供することを目的とする。特に多結晶珪素を用いた半導体を特性良く作製するために、ポリシランを用いた減圧熱CVDによる珪素膜の形成手段を有することが前記基板処理装置においては必須の構成である。

## 【0005】

【課題を解決するための手段】本発明の多目的基板処理装置は、複数の減圧可能な処理室を有し、前記複数の処理室は減圧可能な共通室を介して連結されており、前記共通室には各処理室間において基板を搬送するための手段を有し、前期複数の処理室の内の少なくとも一つは減圧熱CVDによる珪素膜の成膜が可能であることを特徴とする。

【0006】また本発明の多目的基板処理装置は、複数の減圧可能な処理室を有し、複数の処理室の少なくとも

一つは気相反応による成膜機能を有し、複数の処理室の少なくとも一つは光照射によるアニール機能を有し、複数の処理室の少なくとも一つは加熱を行なう機能を有し、前記複数の処理室は減圧可能な共通室を介して連結されており、前記共通室には各処理室間において基板を搬送するための手段を有し、前期複数の処理室の内の少なくとも一つは減圧熱CVDによる珪素膜の成膜が可能であることを特徴とする。

【0007】また上記本発明の多目的基板処理装置において、薄膜集積回路を形成することを目的とした場合には特に、複数の減圧可能な処理室を有し、複数の処理室の少なくとも一つは減圧熱CVDによる非晶質珪素の成膜機能を有し、複数の処理室の少なくとも一つはプラズマCVDによる絶縁膜の成膜機能を有し、複数の処理室の少なくとも一つは加熱を行なう機能を有し、前記複数の処理室は減圧可能な共通室を介して連結されており、前記共通室には各処理室間において基板を搬送するための手段を有し、ていることを特徴とする。

【0008】また本発明の多目的基板処理装置の動作方法は、同一圧力に保持された状態において、いずれか一つの処理室に保持された基板を共通室に移送すること、あるいは共通室に保持された基板をいずれか一つの処理室に移送すること、及び前記処理室の内の少なくとも一つにおいて減圧熱CVDにより珪素膜の成膜を行なうこと、を特徴とする。

【0009】上述の様な構成をとる必要性について簡単に述べると、従来は非晶質珪素を用いた半導体装置の製造プロセスが専ら多結晶珪素を用いた半導体装置の製造に用いられてきた。その際に、珪素膜の成膜に用いられているのはグロー放電を用いたプラズマCVDであり、その様にして作製された珪素膜は多量の水素を含んでおり、結晶化させる際の水素の放出等に伴って膜の状態が大きく変化してしまい、折角多数の処理室を持った連続成膜の様な構成をとっても十分な特性を有する多結晶珪素からなる半導体装置を得ることは困難であることが実験の結果判明した。この問題点を解決するためにはLP CVDを用い、原料ガスとしてジシランの如きポリシランを用いることが有効であることがわかった。

【0010】しかしながら、既存の製造装置及び製造プロセスにおいては、LP CVDを用いた場合であっても、大気中に一度暴露してしまうため、特性の良い界面を形成できず、やはり十分な特性を有する多結晶珪素からなる半導体装置を得ることは困難であった。そこで、最も重要なきれいな界面の接合を実現するためには、LP CVDによる珪素膜の成膜と、その上下の両方あるいはその一方に接して設ける必要がある絶縁膜を、連続的に大気開放することなく成膜することで、特性の飛躍

的な向上が可能であることが発明者らの実験により判明した。

【0011】本発明の具体的な例を図1に示す。図1に示す装置は多目的に利用できるものであって、必要とする成膜やアニール処理を施す処理室を必要とする数で組み合わせることができる。図1に示す装置で処理される基板はとしてが、ガラス基板、シリコン基板、その他絶縁基板や半導体基板を用いることができる。即ち、絶縁表面を有する基板であれば用いることができる。例えば、アクティブマトリクス型の液晶表示装置やイメージセンサー等の電気光学装置であれば安価なガラス基板を用いるのが一般的である。

【0012】例えば107を共通室である基板の搬送室とし、基板の各種処理を行なう処理室の内、101と102とを予備室とし、一方を基板の搬入用に用い、他の一方を基板の搬出用に用いる。また、103は絶縁膜を形成するためのプラズマCVD装置とし、104を非晶質珪素を成膜するための減圧熱CVD装置とし、105を熱酸化膜を形成するための加熱炉とし、106を光照射によるアニールを行なうためのアニール炉とする、といった構成を採ることができる。なお、予備室も基板の搬入や搬出を行なう機能を有するという意味で処理室といえることができる。

【0013】このような組み合わせは任意に行なえるものである。これら組み合わせのできる要素としては、プラズマCVD、減圧熱CVD（以下本明細書においてはLP CVDと省略する）、光CVD、マイクロ波CVD、加熱炉、光照射によるアニール炉、スパッタリング、プラズマアニール、プラズマエッチング（異方性あるいは等方性）を挙げることができる。

【0014】

【実施例】

【実施例1】本実施例の構成を図1に示す。本実施例においては、101と102が予備室であり、基板の出し入れを行なう機能を有する。これらのチャンバーは、複数の基板が収められたカセットを保持する機能を有する。また当然不活性ガスの導入手段やクリーニングガスの導入手段、さらにはガス排気手段を有している。

【0015】103～106は処理室であり、103と106とがプラズマCVD装置であり、104が温度調節チャンバーである。温度調節チャンバーとは、基板を所定の温度に加熱する機能を有するものであり、他のチャンバーでの成膜に先立ち、予め基板を加熱しておくために使用される。各処理室の仕様を下記表1に示す。

【0016】

【表1】

	106	105	104	103
処理内容	PCVD	予備加熱 RTP	PCVD LPCVD	PCVD
RF電源	13.56MHz 500 W	—	13.56MHz 500 W	13.56MHz 500 W
電 極	平行平板	平行平板	平行平板	平行平板
プロセスガス	N <sub>2</sub> , SiH <sub>4</sub> , NH <sub>3</sub> , Al(CH <sub>3</sub> ) <sub>3</sub>	N <sub>2</sub> O, N <sub>2</sub> , NH <sub>3</sub> , O <sub>2</sub>	N <sub>2</sub> , SiH <sub>4</sub> , H <sub>2</sub> , Si <sub>2</sub> H <sub>6</sub> , Si <sub>3</sub> H <sub>8</sub>	N <sub>2</sub> , TEOS, O <sub>2</sub> , C <sub>2</sub> F <sub>6</sub>
クリーニング ガス	NF <sub>3</sub> + N <sub>2</sub>	—	NF <sub>3</sub> + N <sub>2</sub>	NF <sub>3</sub> + N <sub>2</sub>
基板加熱温度	450℃	450℃	550℃	600℃
膜	Si <sub>3</sub> N <sub>4</sub> AlN	—	Si	SiO <sub>2</sub> SiF <sub>4</sub>
排気設備	到達圧力 5×10 <sup>-2</sup> Torr	到達圧力 5×10 <sup>-2</sup> Torr	到達圧力 5×10 <sup>-2</sup> Torr	到達圧力 5×10 <sup>-2</sup> Torr

尚、基板サイズとしては、4インチ角、5インチ角、5×6インチ角を利用することができる。

【0017】107は基板の搬送室であり、ロボットアーム108によって基板が各チャンパー間を搬送される。ロボットアーム108は基板(109で示される)を1枚ずつ予備室101あるいは102から取り出し、必要とする反応室に移動させる機能を有する。当然各処理室間においても基板を移動させることができる。また、この搬送室にも排気手段が設けられており、必要とする真空度にすることができる。

【0018】各チャンパー間の基板の移動は以下のようにして行なわれる。例えば、予備室101に保持される基板を処理室103と104とで処理し、予備室102に搬入する場合を考える。この場合まず、

(1) 予備室101と搬送室107とを同一減圧状態(高真空状態が望ましい)とし、その状態においてゲイトバルブ110を開け、ロボットアーム108によって基板109を搬送室に取り出す。その後ゲイトバルブ110は閉める。

(2) 搬送室107と処理室103とを同一減圧状態とし、その状態においてゲイトバルブ112を開け、ロボットアーム108に保持された基板109をプロセス室に搬入する。その後ゲイトバルブ112は閉める。

(3) 処理室103において所定のプロセスが行なわれる。

(4) 処理室103でのプロセス終了後、処理室103の真空度を搬送室107と同一減圧状態とし、その後ゲイトバルブ112を開け、ロボットアーム108によって基板を搬送室107に搬出する。そしてゲイトバルブ112は閉める。

(5) 搬送室107と処理室104とを同一減圧状態とし、その状態においてゲイトバルブ113を開け、ロボットアーム108に保持された基板を処理室104に搬

入する。その後ゲイトバルブは閉める。

(6) 処理室104において所定のプロセスが行なわれる。

(7) 処理室104でのプロセス終了後、処理室104の真空度を搬送室107と同一減圧状態とし、その後ゲイトバルブ113を開け、ロボットアーム108によって基板を搬送室107に搬出する。そしてゲイトバルブ113は閉める。

(8) 搬送室107と予備室102とを同一減圧状態とし、その状態においてゲイトバルブ111を開け、ロボットアーム108によって基板を予備室102に搬入し、その後ゲイトバルブ111は閉める。

【0019】以上のようにして、一枚の基板を外気に曝すことなく、2回またはそれ以上の処理を連続的に行うことができる。これらの処理としては成膜だけでなく、アニール等も行なえることは有用である。

【0020】上記(1)～(8)の工程を繰り返すことにより、予備室101に搬入されているカートリッジに保持された複数の基板を次から次へと連続的に処理することができる。そして、処理の終了した基板は、予備室102のカートリッジに自動的に保持されることになる。また上記の成膜工程において、処理室103が稼働中において処理室104をクリーニングし、逆に処理室104が稼働中に処理室103をクリーニングすることによって、全体の動作を止めることなく、クリーニングを行いながら連続した処理工程を行うことができる。このようなクリーニングとしては、NF<sub>3</sub>によるチャンパー内のプラズマクリーニングを挙げることができる。

【0021】〔実施例2〕図1に示す多目的成膜装置を用いて多結晶珪素を活性層とするTFTを少なくとも一つ有する薄膜集積回路を作製する例を図2に示す。ま

ず、本実施例において用いる多目的成膜装置について説明する。本実施例においては、101、106を基板の搬入搬出を行なうために予備室とした。特にここでは101を基板搬入用に、106を基板搬出用とした。また104を赤外光の短時間照射によるラビットサーマルアニールプロセス(RTAまたはRTPという)、または予備加熱を行なう処理室とし、103をプラズマCVD法によって窒化アルミニウムを主成分とする膜(窒化アルミオキサイドを以下窒化アルミニウムという)または窒化珪素膜を成膜する処理室とし、104をTEOSを原料としてプラズマCVD法により酸化珪素膜を成膜する処理室とし、105をLPCVD法により非晶質珪素膜を成膜する処理室とする。また各処理室には、各処理室を減圧状態にするための排気手段、さらには必要とされるガスを導入するためのガス導入手段が設けられている。

【0022】以下に作製工程を示す。まず、基板としてコーニング7059等のガラス基板(4インチ角、5インチ角または5×6インチ角)201を予備室101に搬入し、十分真空引きをする。この真空引きは、十分真空引きをされた搬送室107とほぼ同一の圧力になるまで行なうのが好ましい。そしてゲイトバルブ110を開け、ロボットアーム108によって、予備室101内の基板を搬送室107に移送する。図1においては、図2における基板201は109として示されている。なお、以下においてはその上に成膜されている膜も含めて基板という。そして、同じくほぼ同一圧力に真空引きがされた反応室103との間のゲイトバルブ112を開け、基板を搬入する。基板搬入後にゲイトバルブ112を閉め、この反応室103内において、厚さ2000～5000Åの窒化アルミニウム膜202をプラズマCVD法で形成する。成膜は、 $Al(C_2H_5)_3$ または $Al(CH_3)_3$ と $N_2$ とを用いて行なう。また、 $N_2O$ を微量添加して熱膨張歪を緩和させてもよい。

【0023】窒化アルミニウム膜202の成膜後は、反応室103を搬送室107と同じ真空度まで真空引きする。そして、ゲイトバルブ112を開き、ロボットアーム108によって基板を搬送室に基板を移送する。次に同じく真空引きのされたアニール室104に基板を搬入する。このアニール室104では、赤外線照射によるラビットサーマルアニール(RTA)が行なわれる。このアニールは、窒素、アンモニア( $NH_3$ )、もしくは亜酸化窒素( $N_2O$ )の雰囲気中で行なわれ、短時間に窒化アルミニウム膜を急速に加熱するものである。このアニールによって、窒化アルミニウム膜は透明となり、またその絶縁性や熱伝導性が向上する。また、ガラス基板からのナトリウム等の不純物の半導体への進入を防ぐには、窒化珪素膜を形成してもよい。この場合、窒化珪素膜をプラズマCVD法により、基板温度350℃、0.1 Torr、 $SiH_4$ と $NH_3$ との混合雰囲気中で成

膜する。

【0024】そして、反応室104を真空引きし、ロボットアーム108によって、基板を再び真空引きがされた搬送室107に移送する。そして同じく真空引きがされた反応室106に基板を搬送する。この反応室106ではTEOSを原料としたプラズマCVD法で酸化珪素膜203が成膜される。成膜条件を以下に示す。

TEOS/ $O_2$  = 10/100 sccm

RFパワー 350W

基板温度 400℃

成膜圧力 0.25 Torr

また、上記反応において、 $C_2F_6$ を添加して、 $SiOF_x$ で示される膜を形成してもよい。

【0025】この酸化珪素膜はTFTを形成する面に下地酸化膜203として厚さ2000～500Åに成膜される。この反応室106で成膜された酸化珪素膜203をアニール室104に搬送し、ラビットサーマルアニールを行なってもよい。

【0026】そして、再び基板を搬送室107に搬送し、次に反応室105に基板を搬入する。これら基板の移送の際において、搬送室とそれぞれの処理室とは同一真空度(同一減圧状態)に真空引きがされた上でゲイトバルブを開閉させることは全て共通である。

【0027】反応室105では、LPCVD法によって非晶質珪素膜204を100～1500Å、好ましくは200～800Å堆積する。LPCVD法での成膜条件を以下に示すが、ここで重要なのはジシランの如きポリシランを用いてLPCVDで成膜することであり、従来の非晶質珪素を用いた半導体装置の製造に用いられていたグロー放電によるプラズマCVD法と比較して、結晶化後の多結晶珪素膜の特性を飛躍的に向上させることが可能である。その際の成膜条件は、代表的には

$Si_2H_6$  100～500 sccm

He 500 sccm

成膜温度 400℃～500℃

成膜圧力 0.1～1 Torr

【0028】さらに反応室106に基板を移送し、TEOSを原料とするプラズマCVD法によって、酸化珪素膜212を500～1500Å程度堆積する。この膜は珪素膜の保護膜として機能する。成膜条件を以下に示す。

TEOS/ $O_2$  = 10/100 sccm

RFパワー 300W

基板温度 350℃

成膜圧力 0.25 Torr

かくして、図2(A)に示す如くガラス基板201上に窒化アルミニウム、または窒化珪素のブロッキング層202、酸化珪素膜203、非晶質珪素半導体膜204、保護膜212を連続して多層に形成することができる。この図1に示す装置は、各チャンパーとロボットア

ームのある搬送室とはそれぞれゲイトバルブで仕切られているので、個々のチャンパー間において不純物が相互に混入することがなく、特に珪素膜中におけるC、N、Oの値を少なくなくと $5 \times 10^{18} \text{ cm}^{-3}$ 以下とすることができる。

【0029】次に基板を予備室101から外部に出し、アイランド状珪素領域204を形成するためのパターンニングを行なう。そして、図2(B)に示しように厚さ200~1500Å、好ましくは500~1000Åの酸化珪素膜205を形成する。この酸化珪素膜はゲイト絶縁膜としても機能する。そのためその作製には十分な注意が必要である。ここでは、TEOSを原料とし、酸素とともに基板温度350~600℃、好ましくは300~450℃で、RFプラズマCVD法で分解・堆積した。TEOSと酸素の圧力比は1:1~1:3、また、圧力は0.05~0.5 torr、RFパワーは100~250Wとした。この工程は、搬入室101より、基板を搬入し、前記したとは別の操作をして反応室106で行なってもよい。あるいはTEOSを原料としてオゾンガスとともに減圧CVD法もしくは常圧CVD法によって、基板温度を350~600℃、好ましくは400~550℃として形成してもよい。成膜後、酸素もしくはオゾンの雰囲気中で400~600℃で30~60分アニールした。

【0030】上記ゲイト絶縁膜となる酸化珪素膜205を反応室106で成膜する場合は、その工程終了後、基板をアニール室104に搬入し、赤外線の照射によるラピッドサーマルアニールをN<sub>2</sub>O雰囲気で行なうことは有効である。これは、酸化珪素膜205と珪素領域204との界面準位を減少させることに極めて効果がある。

【0031】そして、図2(B)に示すようにKrFエキシマーレーザー213(波長248nmまたは308nm、パルス幅20nsec)を照射して、珪素領域204を結晶化させた。レーザーのエネルギー密度は200~400mJ/cm<sup>2</sup>、好ましくは250~300mJ/cm<sup>2</sup>とし、また、レーザー照射の際には基板を300~500℃に加熱した。このようにして形成された珪素膜204の結晶性をラマン散乱分光法によって調べたところ、単結晶珪素のピーク(521cm<sup>-1</sup>)とは異なっており、515cm<sup>-1</sup>付近に比較的にブロードなピークが観測され、結晶性半導体例えば多結晶半導体となることが判明した。その後、水中で350℃で2時間アニールした。この結晶化の工程は、加熱によることで行なってもよい。

【0032】その後、厚さ2000Å~1μmのアルミニウム膜を電子ビーム蒸着法によって形成して、これをパターンニングし、ゲイト電極206を形成した。アルミニウムにはスカンジウム(Sc)を0.15~0.2重量%ドーピングしておいてもよい。次に基板をpH≒7、1~3%の酒石酸のエチレングリコール溶液に浸

し、白金を陰極、このアルミニウムのゲイト電極を陽極として、陽極酸化をおこなった。陽極酸化は、最初一定電流で220Vまで電圧を上げ、その状態で1時間保持して終了した。本実施例では定電流状態では、電圧の上昇速度は2~5V/分が適当であった。このようにして、厚さ1500~3500Å、例えば、2000Åの陽極酸化物209を形成した。(図2(C))

【0033】また高温での熱処理を行なう場合には、アルミニウムの代わりにタンタルを用いればよい。

【0034】その後、イオンドーピング法(プラズマドーピング法ともいう)によって、各TFTのアイランド状珪素膜中に、ゲイト電極部をマスクとして自己整合的に不純物(燐)を注入した。ドーピングガスとしてはフォスフィン(PH<sub>3</sub>)を用いた。ドーピング量は、 $1 \sim 4 \times 10^{15} \text{ cm}^{-2}$ とした。

【0035】さらに、図2(D)に示すようにKrFエキシマーレーザー(波長248nmまたは308nm、パルス幅20nsec)216を照射して、上記不純物領域の導入によって結晶性の劣化した部分の結晶性を改善させた。レーザーのエネルギー密度は150~400mJ/cm<sup>2</sup>、好ましくは200~250mJ/cm<sup>2</sup>であった。こうして、N型不純物(燐)領域208、209を形成した。これらの領域のシート抵抗は200~800Ω/□であった。本工程において、レーザーを用いるかわりに、フラッシュランプを使用して短時間に1000~1200℃(珪素モニターの温度)まで上昇させ、試料を加熱する、いわゆるRTP(ラピッド・サーマル・プロセス)を用いてもよい。

【0036】その後、再び図1の装置を用い、全面に層間絶縁物210として、図1の反応装置の反応室104を再び用い、TEOSを原料として、これと酸素とのプラズマCVD法、もしくはオゾンとの減圧CVD法あるいは常圧CVD法によって酸化珪素膜を厚さ0.3μm~1μmここでは3000Å(0.3μm)形成した。基板温度は250~450℃、例えば、350℃とした。成膜後、表面の平坦性を得るため、この酸化珪素膜を機械的に研磨した。この工程は、図1の装置内に設けられた反応室を用いて等方性ドライエッチングを行なってもよい。さらに、スパッタ法によってITO被膜を堆積し、これをパターンニングして画素電極211とした。

(図2(E))

【0037】かくすると、図2の電気光学装置の一方の基板側に薄膜集積回路を作ることができる。勿論、この図面に示す回路と同時に周辺回路を同一基板上に形成してもよい。そして、層間絶縁物210をエッチングして、図2(E)に示すようにTFTのソース/ドレインにコンタクトホールを形成し、クロムもしくは窒化チタンの配線212、213を形成し、配線213は画素電極211に接続させた。なお、この際には、ソース/ドレイン領域(アイランド状珪素)をはみだしてコンタク



トホールを形成してもよい。この場合にはコンタクトホールのうち、アイランド状珪素をはみだした面積は30～70%であった。この場合には、ソース／ドレインの上面のみならず、側面においてもコンタクトが形成される。以下、このようなコンタクトをトップサイドコンタクトと称する。従来の構造において、トップサイドコンタクトを形成しようとすれば、層間絶縁物のエッチング工程によって、アイランド状珪素以外の部分の下地の酸化珪素膜、さらには、基板までエッチングされたが、本実施例では、窒化アルミニウム膜または窒化珪素膜202がエッチングストッパーとなって、ここでエッチングが止まる。

【0038】通常の場合には、コンタクトホールの大きさは、ソース／ドレインよりも小さくする必要があったが、トップサイドコンタクトにおいては、逆にアイランドの大きさをコンタクトホールよりも小さくでき、結果として、アイランドの微細化できる。また、逆にコンタクトホールを大きくすることができるので、量産性、信頼性を高めることができた。

【0039】最後に、水素中で300～400℃で0.1～2時間アニールして、珪素の水素化を完了した。このようにして、TFTを有する薄膜集積回路が完成した。そして同時に作製した多数のTFTをマトリクス状に配列せしめ、かつ周辺回路をも同一基板上に形成したモノシリック型のアクティブマトリクス型液晶表示装置とした。

【0040】〔実施例3〕図1に示す多目的成膜装置を用いてTFTを少なくとも一つ有する薄膜集積回路を作製する例を図3に示す。まず、本実施例において用いる多目的成膜装置について説明する。本実施例においては、101を基板の搬入搬出を行なうために予備室とした。また106を加熱を行なう処理室とし、103をプラズマCVD法によって窒化珪素膜を成膜する処理室とし、104をTEOSを原料としてプラズマCVD法により酸化珪素膜を成膜する処理室とし、105をLPCVD法により非晶質珪素膜を成膜する処理室とする。また、102をPをドーブした多結晶珪素膜を減圧熱CVD法によって成膜する処理室とした。また各処理室には、各処理室を減圧状態にするための排気手段、さらには必要とされるガスを導入するためのガス導入手段が設けられている。

【0041】以下に作製工程を示す。まず、基板としてN0ガラスに代表される耐熱性の高い結晶化ガラス板（4インチ角、5インチ角または5×6インチ角）201を予備室101に搬入し、十分真空引きをする。この真空引きは、十分真空引きをされた搬送室107とほぼ同一の圧力になるまで行なうのが好ましい。そしてゲイトバルブ110を開け、ロボットアーム108によって、予備室101内の基板を搬送室107に移送する。図1においては、図3における基板201は109とし

て示されている。なお、以下においてはその上に成膜されている膜も含めて基板という。そして、同じくほぼ同一圧力に真空引きがされた反応室103との間のゲイトバルブ112を開け、基板を搬入する。基板搬入後にゲイトバルブ112を閉め、この反応室103内において、窒化珪素膜200をプラズマCVD法により、基板温度350℃、0.1 Torr、SiH<sub>4</sub>とNH<sub>3</sub>との混合雰囲気中で成膜する。この窒化珪素膜は基板からのアルカリの拡散を防ぐためである。ここで窒化珪素膜の代わりにSiOF<sub>x</sub>で示される膜を用いることにより、基板よりのイオン可動物（例えばNaイオン）の半導体層への移動を抑えることができる。

【0042】そして、反応室103を真空引きし、ロボットアーム108によって、基板を再び真空引きがされた搬送室107に移送する。そして同じく真空引きがされた反応室106に基板を搬送する。この反応室106ではTEOSを原料としたプラズマCVD法で酸化珪素膜203が成膜される。成膜条件を以下に示す。

TEOS/O<sub>2</sub> = 10/100 sccm

RFパワー 350W

基板温度 400℃

成膜圧力 0.25 Torr

【0043】また、上記反応において、C<sub>2</sub>F<sub>6</sub>を添加して、SiOF<sub>x</sub>で示される膜を形成してもよい。

【0044】この酸化珪素膜はTFTを形成する面の下地酸化膜203として厚さ2000～500Åに成膜される。この下地膜としては、酸化珪素膜と窒化珪素膜の積層としてもよい。

【0045】そして、再び基板を搬送室107に搬送し、次に反応室105に基板を搬入する。これら基板の移送の際において、搬送室とそれぞれの処理室とは同一真空度（同一減圧状態）に真空引きがされた上でゲイトバルブを開閉させることは全て共通である。

【0046】反応室105では、LPCVD法によって非晶質珪素膜204を200～2000Å、好ましくは300～800Å堆積する。LPCVD法での成膜条件を以下に示す。

Si<sub>2</sub>H<sub>6</sub> 100 sccm

He 200 sccm

加熱温度 400℃～570℃

成膜圧力 0.3 Torr

グロースレート 50Å～500Å/分

【0047】ここで、ジシランの如きポリシランを用いることは重要であって、これらを用い上記の条件で成膜することにより、その後の熱結晶化工程において250Å～8000Åの平均粒径を有する特性の良い多結晶珪素膜を得ることができる。

【0048】その後、処理の終了した基板は、搬出を行なうために予備室101に再び集められ装置の外部に取

【0049】これは非晶質珪素膜204を島状にパターニングし、しかる後に結晶化させる為である。これは、これらのプロセスが減圧下におけるプロセスでないこと、およびこれらのプロセスに要する時間が他のプロセスに要する時間と比較して桁違いに長い為、装置の稼働率を高めるためには別の装置としたほうが効率的だからである。

【0050】非晶質珪素膜204のパターニングは公知のフォトリソグラフィを用いて所定のアイランド状にパターニングを行なう。

【0051】熱結晶化は、窒素雰囲気中で550℃～600℃で8時間から56時間加熱することによって行う。この様に比較的低温で結晶化することにより、前述の様な大きな粒径の結晶を得ることができる。

【0052】その後、N<sub>2</sub>Oガラスの耐熱温度の範囲内で、出来るだけ高い温度、具体的には800℃～850℃において熱アニールを行う。この工程によって、各結晶粒内の結晶性を向上させることが可能となる。また、この工程を酸化性雰囲気、例えばドライ酸素中で行い熱酸化膜を同時に形成しても良い。この熱酸化膜をゲート絶縁膜として用いる場合には、その膜厚は500Å～2000Åとすることが適当である。

【0053】この様に結晶成長を終えた基板を、再び予備室101より装置内に投入する。

【0054】予備室101より投入された基板は、必要に応じてさらに反応室104に基板を移送し、TEOSを原料とするプラズマCVD法によって、図3(B)に示しように厚さ200～1500Å、好ましくは500～1000Åの酸化珪素膜205を形成する。ここでは、TEOSを原料とし、酸素とともに基板温度350～600℃、好ましくは300～450℃で、RFプラズマCVD法で分解・堆積した。TEOSと酸素の圧力比は1:1～1:3、また、圧力は0.05～0.5 torr、RFパワーは100～250Wとした。

【0055】この工程は、TEOSを原料としてオゾンガスとともに減圧CVD法もしくは常圧CVD法によって、基板温度を350～600℃、好ましくは400～550℃として形成してもよい。

【0056】また成膜後、酸素もしくはオゾンの雰囲気中で400～600℃で30～60分アニールした。

【0057】上記酸化珪素膜205の成膜は、熱結晶化後の高温アニールを酸化性雰囲気中で行い、熱酸化膜をゲート絶縁膜として使用する場合にはこの工程が不要になることは言うまでもない。

【0058】かくして、図3(B)に示す如くガラス基板201上に窒化珪素のブロッキング層202、酸化珪素膜203、島状にパターニングされた結晶性珪素半導体膜204、酸化珪素膜205を多層に形成することができる。この図1に示す装置は、各チャンパーとロボットアームのある搬送室とはそれぞれゲイトバルブで仕切

られているので、個々のチャンパー間において不純物が相互に混入することがなく、特に珪素膜中におけるC、N、Oの値を少なくとも $5 \times 10^{18} \text{ cm}^{-3}$ 以下とすることができる。

【0059】上記ゲイト絶縁膜となる酸化珪素膜205を反応室104で成膜する場合は、その工程終了後、基板をアニール室106に搬入し、赤外線の照射によるラビットサーマルアニールをN<sub>2</sub>O雰囲気で行なうことは有効である。これは、酸化珪素膜205と珪素領域204との界面準位を減少させることに極めて効果がある。

【0060】次に、上記ゲイト絶縁膜の上にゲート電極となるPをドーブした多結晶珪素膜を減圧熱CVDによって1000Å～4000Åの厚さに形成する。

【0061】上記の工程まで、即ち下地から珪素半導体層、ゲート絶縁膜、ゲート電極までの各界面が特に界面準位等に敏感でデバイスの特性を決定する主な部分であり、それ故に大気に暴露することなく連続的に成膜することが望ましく、本発明の構成によりそれが可能となる。

【0062】以下の工程は本発明の装置から外部に搬出して行なう。

【0063】まず、ゲート電極217を形成すべく、Pをドーブした多結晶珪素膜をドライエッチングによりパターニングを行なう。(図3(C))

【0064】その後、イオンドーピング法(プラズマドーピング法ともいう)によって、各TFETのアイランド状珪素膜中に、ゲイト電極217をマスクとして自己整合的に不純物(磷)を注入する。ドーピングガスとしてはフォスフィン(PH<sub>3</sub>)を用いた。ドーズ量は、 $1 \sim 4 \times 10^{15} \text{ cm}^{-2}$ とした。

【0065】次に、基板を窒素雰囲気中で600℃、12時間加熱し、ドーパントの活性化を行なった後、さらに水素雰囲気中で400℃、1時間熱処理し、水素化処理を行なって半導体層の欠陥単位密度を減少させる。

【0066】その後、他の装置あるいは再び図1の装置を用い、全面に層間絶縁膜210を形成する。図1の装置を用いた場合には、図1の反応装置の反応室104を再び用い、TEOSを原料として、これと酸素とのプラズマCVD法、もしくはオゾンとの減圧CVD法あるいは常圧CVD法によって酸化珪素膜を厚さ0.3μm～1μmここでは3000Å(0.3μm)形成した。基板温度は250～450℃、例えば、350℃とした。成膜後、表面の平坦性を得るため、この酸化珪素膜を機械的に研磨した。この工程は、図1の装置内に設けられた反応室を用いて等方性ドライエッチングを行なってもよい。さらに、スパッタ法によってITO被膜を堆積し、これをパターニングして画素電極211とした。(図3(E))

【0067】かくすると、電気光学装置の一方の基板側に薄膜集積回路を作ることができる。勿論、この図面に

示す回路と同時に周辺回路を同一基板上に形成してもよい。そして、層間絶縁物210をエッチングして、図F(E)に示すようにTFTのソース/ドレインにコンタクトホールを形成し、クロムもしくは窒化チタンの配線212、213を形成し、配線213は画素電極211に接続させた。なお、この際には、ソース/ドレイン領域(アイランド状珪素)をはみだしてコンタクトホールを形成してもよい。この場合にはコンタクトホールのうち、アイランド状珪素をはみだした面積は30~70%であった。この場合には、ソース/ドレインの上面のみならず、側面においてもコンタクトが形成される。以下、このようなコンタクトをトップサイドコンタクトと称する。従来の構造において、トップサイドコンタクトを形成しようとするれば、層間絶縁物のエッチング工程によって、アイランド状珪素以外の部分の下地の酸化珪素膜、さらには、基板までエッチングされたが、本実施例では、窒化珪素膜200がエッチングストッパーとなって、ここでエッチングが止まる。

【0068】通常の場合には、コンタクトホールの大きさは、ソース/ドレインよりも小さくする必要があったが、トップサイドコンタクトにおいては、逆にアイランドの大きさをコンタクトホールよりも小さくでき、結果として、アイランドの微細化ができる。また、逆にコンタクトホールを大きくすることができるので、量産性、信頼性を高めることができた。

【0069】このようにして、TFTを有する薄膜集積回路が完成した。そして同時に作製した多数のTFTをマトリクス状に配列せしめ、かつ周辺回路をも同一基板上に形成したモノシリック型のアクティブマトリクス型液晶表示装置とした。

【0070】尚、上記実施例において基板を石英基板とした場合には、下地の酸化珪素膜は省略可能であり、下地の酸化珪素膜も場合によっては省略してもよい。また、基板の耐熱性が高いために熱結晶化後の熱アニールあるいは熱酸化の工程の温度を1000℃程度まで上昇させることが可能であり、その場合には更に結晶性の良い珪素膜を得ることが可能である。

# 【0071】

【効果】本発明の構成を採用することで、基板上に多結晶珪素からなる半導体装置を作製する際に連続してプロセスをこなすことができ、生産性の向上、信頼性の向上を同時に果たすることができる。

【0072】以上に説明した如く、図1のマルチチャンバ方式の多目的CVD装置を用いることにより、図2(A)の工程、ゲイト絶縁膜の形成、RTP処理工程、層間絶縁膜の作製工程、とほとんど全ての工程を1台の装置で行なうことができる。そして、これらの工程は、マイクロコンピュータによって制御することができ、生産効率、コストパフォーマンスを向上させることができる。特に本発明装置を図2に示した如く結晶性TFTまたはこれを応用するモノシリック型薄膜集積回路へ応用することは著しい効果を得ることができる。

## 【図面の簡単な説明】

【図1】 実施例の多目的基板処理装置を示す。

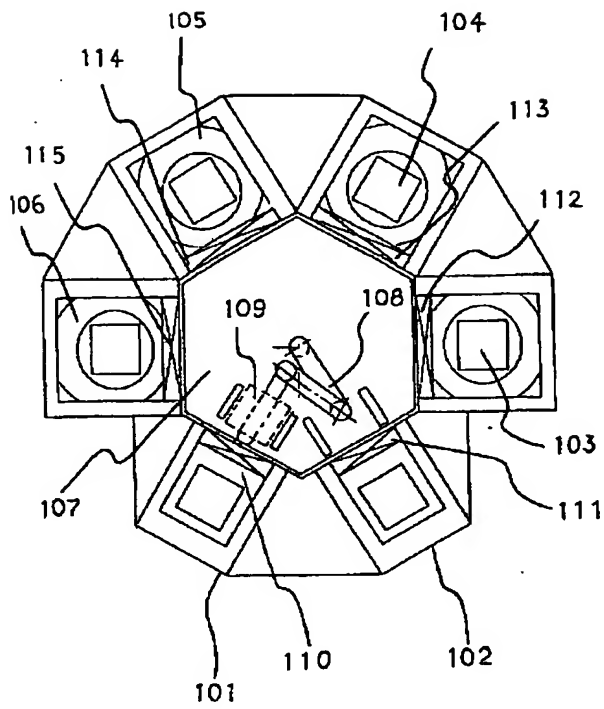
【図2】 実施例におけるTFTの作製工程を示す。

【図3】 実施例におけるTFTの作製工程を示す。

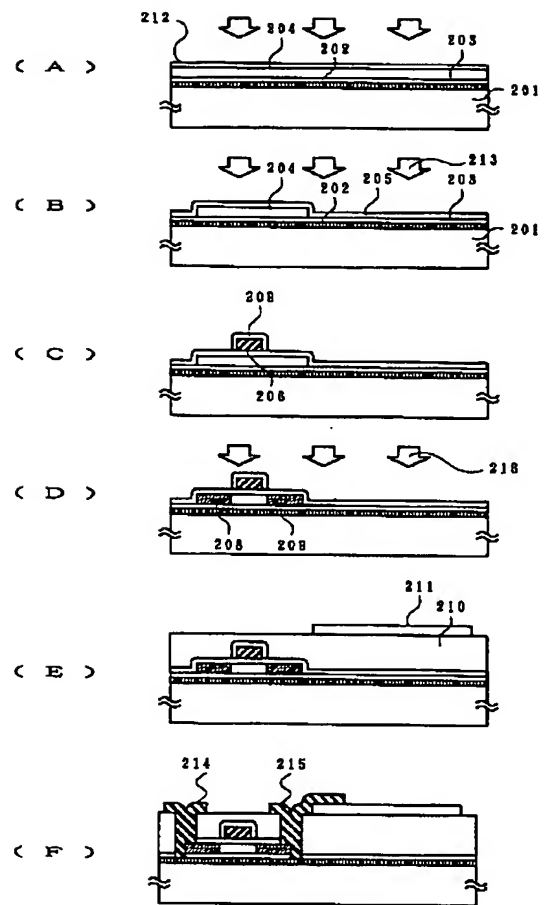
## 【符号の説明】

101~106・・・処理室  
108・・・ロボットアーム  
109・・・基板  
110~115・・・ゲイトバルブ  
201・・・ガラス基板  
202・・・窒化アルミ膜  
200・・・窒化珪素膜  
203・・・酸化珪素膜  
204・・・珪素膜  
205・・・酸化珪素膜(ゲイト絶縁膜)  
206・・・ゲイト電極  
209・・・陽極酸化物層  
217・・・ゲイト電極  
210・・・層間絶縁物  
211・・・ITO電極(画素電極)  
214/215・・・ソース/ドレイン電極

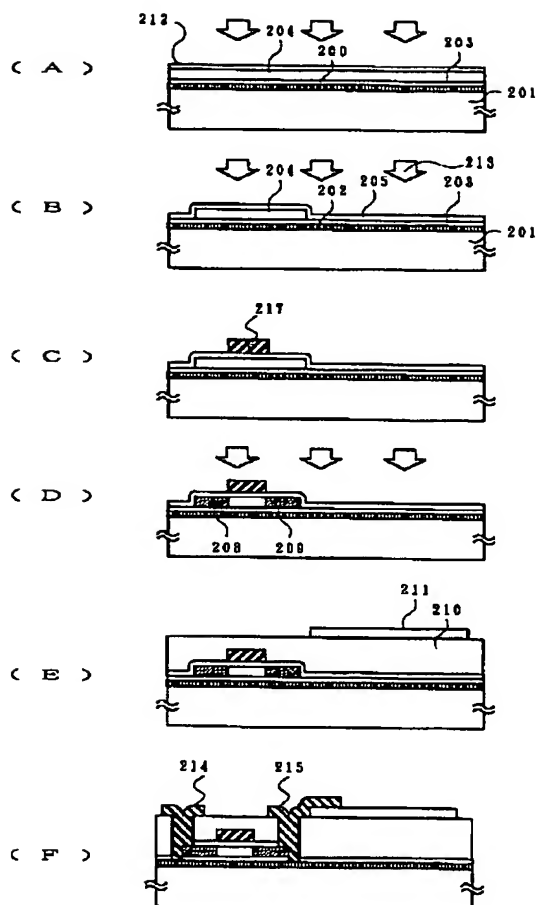
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 阿部 寿  
 神奈川県厚木市長谷398番地 株式会社半  
 導体エネルギー研究所内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**